

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開2002-9242

(P2002-9242A)

(43)公開日 平成14年1月11日(2002.1.11)

(51)Int.Cl. ⁷	識別記号	FI	テマコード [*] (参考)
H01L 27/04		H03K 19/096	A 5F038
	21/822	19/20	5J042
H03K 19/096		H01L 27/04	M 5J056
	19/20		

審査請求 未請求 請求項の数8 OL (全8頁)

(21)出願番号 特願2000-184398(P2000-184398)

(22)出願日 平成12年6月20日(2000.6.20)

(71)出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(71)出願人 000221199

東芝マイクロエレクトロニクス株式会社

神奈川県川崎市川崎区駅前本町25番地1

(72)発明者 座間英匡

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝マイクロエレクトロニクスセン

ター内

(74)代理人 100064285

弁理士 佐藤 一雄 (外3名)

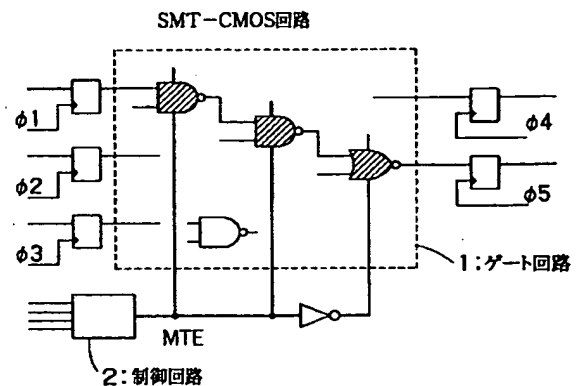
最終頁に続く

(54)【発明の名称】 半導体集積回路、論理演算回路およびフリップフロップ

(57)【要約】

【課題】 高速動作が可能で、リーク電流の少ない半導体集積回路、論理演算回路およびフリップフロップを提供する。

【解決手段】 本発明の半導体集積回路は、クリティカルパス上のゲート回路1のみを、しきい値電圧の低いトランジスタとしきい値電圧の高いトランジスタとを組み合わせたMTゲートセルで構成し、それ以外のゲート回路1は、しきい値電圧の高いトランジスタで構成する。これにより、クリティカルパス上のゲート回路1を高速動作させることができ、かつ全体的なリーク電流も抑制でき、消費電力の低減が図れる。



1

【特許請求の範囲】

【請求項1】複数のゲート回路を備えた半導体集積回路において、

前記複数のゲート回路のうち一部のゲート回路は、複数の第1のトランジスタで構成された論理回路と、前記論理回路に電源電圧を供給するか否かを切替可能で、前記第1のトランジスタよりもしきい値電圧が高い第2のトランジスタで構成された切替回路と、を有し、前記切替回路を制御する制御回路を備えることを特徴とする半導体集積回路。

【請求項2】前記一部のゲート回路は、クリティカルパス上に設けられることを特徴とする請求項1に記載の半導体集積回路。

【請求項3】仮想電圧線と第1の基準電圧線との間に接続され、複数の第1のトランジスタで構成されたゲート回路と、

第2の基準電圧線と前記仮想電圧線との間に接続され、前記第1のトランジスタよりもしきい値電圧が高いトランジスタで構成された第2のトランジスタと、を備えることを特徴とする論理演算回路。

【請求項4】第1の基準電圧線と仮想電圧線との間に接続され、複数の第1のトランジスタで構成されたゲート回路と、

前記仮想電圧線と第2の基準電圧線との間に接続され、前記第1のトランジスタよりもしきい値電圧が高い第2のトランジスタと、

前記第1の基準電圧線と前記ゲート回路の出力端子との間に接続され、前記第1のトランジスタよりもしきい値電圧が高い第3のトランジスタと、を備え、

前記第2および第3のトランジスタは、一方がオンするときは他方がオフし、他方がオンするときは一方がオフするようにオン・オフ制御されることを特徴とする論理演算回路。

【請求項5】複数の第1のトランジスタで構成され、第1および第2の仮想電圧線に接続されたゲート回路と、第1の基準電圧線と前記第1の仮想電圧線との間に接続され、前記第1のトランジスタよりもしきい値電圧が高い第2のトランジスタと、

第2の基準電圧線と前記第2の仮想電圧線との間に接続され、前記第1のトランジスタよりもしきい値電圧が高い第3のトランジスタと、

前記ゲート回路の出力論理を保持可能な記憶回路と、を備え、

前記記憶回路が前記ゲート回路の出力論理を保持している間は前記第2および第3のトランジスタはオフ制御され、前記記憶回路が前記ゲート回路の出力論理を保持していない間は前記第2および第3のトランジスタはオン制御されることを特徴とする論理演算回路。

【請求項6】複数の第1のトランジスタで構成され、第1および第2の仮想電圧線に接続されたゲート回路と、

2

第1の基準電圧線と前記第1の仮想電圧線との間に接続され、前記第1のトランジスタよりもしきい値電圧が高い第2のトランジスタと、

第2の基準電圧線と前記第2の仮想電圧線との間に接続され、前記第1のトランジスタよりもしきい値電圧が高い第3のトランジスタと、

前記ゲート回路に並列接続され、前記第1のトランジスタよりもしきい値電圧が高い複数の第4のトランジスタを用いて前記ゲート回路と略等しい回路で構成されたバイパス回路と、を備え、

前記バイパス回路は、前記第1および第2の基準電圧線間に接続されることを特徴とすることを特徴とする論理演算回路。

【請求項7】請求項3～6のいずれかに記載の論理演算回路をクリティカルパス上に設けたことを特徴とする半導体集積回路。

【請求項8】入力端子および出力端子間を導通させるか、あるいは遮断させるかを切替可能な第1の導通遮断回路と、

前記第1の導通遮断回路の出力論理を保持可能な第1の記憶回路と、

入力端子および出力端子間を導通させるか、あるいは遮断させるかを切替可能で、入力端子が前記第1の記憶回路の出力端子に接続された第2の導通遮断回路と、

前記第2の導通遮断回路の出力論理を保持可能な第2の記憶回路と、を備え、

前記第1および第2の導通遮断回路は、請求項3～6のいずれかに記載の論理演算回路で構成され、

前記第1および第2の記憶回路は、前記第1および第2の導通遮断回路内の前記ゲート回路よりもしきい値電圧の高いトランジスタで構成されることを特徴とするフリップフロップ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、複数のトランジスタを組み合わせて構成される半導体集積回路、論理演算回路およびフリップフロップに関し、特に、消費電力の低減と信号伝送速度の向上を図る技術に関する。

【0002】

【従来の技術】CMOS論理回路の高速化を図るためには、しきい値電圧の低いトランジスタで回路を構成する必要がある。ところが、トランジスタのしきい値電圧が低くなるほど、スタンバイ時のリーク電流が増大するという問題がある。この問題を回避するために、回路の高速動作とスタンバイ時の低リーク電流を同時に達成できるMT (Multiple Threshold voltage) -CMOS回路が提案されている。

【0003】図8はMT-CMOS回路の従来の回路図である。図8の回路は、仮想電源線VDD1と仮想接地線VSS1との間に接続されしきい値電圧の低い複数のトランジスタ

3

タで構成されたLow-Vthブロック1と、仮想電源線VDD1と電源線VDDとの間に接続されたしきい値電圧の高いトランジスタQ1と、仮想接地線VSS1と接地線VSSとの間に接続されたしきい値電圧の低いトランジスタQ2とを備えている。

【0004】動作時（アクティブ時）には、図8のトランジスタQ1、Q2がいずれもオンし、Low-Vthブロック1に電源電圧が供給される。Low-Vthブロック1はしきい値電圧の低いトランジスタで構成されているため、高速に動作する。

【0005】一方、スタンバイ時には、トランジスタQ1、Q2がいずれもオフし、電源線から接地線にいたるリークパスが遮断され、リーク電流が少なくなる。

【0006】

【発明が解決しようとする課題】しかしながら、図8のトランジスタQ1、Q2には、オン抵抗が存在するため、アクティブ時の仮想電源線と仮想接地線の電位が不安定になりやすく、Low-Vthブロック1全体の回路動作も不安定になる。

【0007】また、Low-Vthブロック1がアクティブの間は、電源線から接地線へのリークパスを介して漏れ電流が流れるため、この期間内のリーク電流を減らすことは困難である。さらに、Low-Vthブロック1以外に、しきい値電圧の高いトランジスタを追加しなければならぬため、回路面積が増大するとともに、Low-Vthブロック1内のフリップフロップやラッチに保持したデータがスタンバイ時に消失する等の問題が生じる。

【0008】一方、これらの問題を最小限に抑えるために、論理回路中の一部のセルのみを、しきい値電圧の低いトランジスタに置換した図9のような回路も提案されている。図9の斜線部分がしきい値電圧の低いトランジスタを用いて構成したセルを示している。

【0009】しかしながら、図9のように、一部のセルをしきい値電圧の低いトランジスタで構成すると、このセルには、スタンバイ時にリーク電流が流れるため、携帯電話等のように、スタンバイ時（待ち受け時）の消費電力をできるだけ少なくするという要望に応えることはできない。

【0010】本発明は、このような点に鑑みてなされたものであり、その目的は、高速動作が可能で、リーク電流の少ない半導体集積回路、論理演算回路およびフリップフロップを提供することにある。

【0011】

【課題を解決するための手段】上述した課題を解決するために、請求項1の発明は、複数のゲート回路を備えた半導体集積回路において、前記複数のゲート回路のうち一部のゲート回路は、複数の第1のトランジスタで構成された論理回路と、前記論理回路に電源電圧を供給するか否かを切替可能で、前記第1のトランジスタよりもしきい値電圧が高い第2のトランジスタで構成された切替

4

回路と、を有し、前記切替回路を制御する制御回路を備える。

【0012】請求項1の発明では、一部のゲート回路（例えば、タイミング的な条件が厳しい部分など）のみ、しきい値電圧の低いトランジスタを用いて構成するため、このゲート回路を高速化することができる。また、他のゲート回路はしきい値電圧の高いトランジスタを用いて構成するため、リーク電流の低減が図れる。

【0013】請求項2、7の発明では、クリティカル・パス上のゲート回路をしきい値電圧の低いトランジスタで構成するため、クリティカル・パスのタイミング制約を遵守することができる。

【0014】請求項3の発明は、仮想電源線と第1の基準電圧線との間に接続され、複数の第1のトランジスタで構成されたゲート回路と、第2の基準電圧線と前記仮想電源線との間に接続され、前記第1のトランジスタよりもしきい値電圧が高いトランジスタで構成された第2のトランジスタと、を備える。

【0015】請求項3の発明では、しきい値電圧が低いトランジスタで構成されたゲート回路と第2の基準電圧線との間に第2のトランジスタを接続するため、ゲート回路が非動作の間はゲート回路のリーク・パスを確実に遮断でき、消費電力の低減が図れる。

【0016】請求項4の発明は、第1の基準電圧線と仮想電源線との間に接続され、複数の第1のトランジスタで構成されたゲート回路と、前記仮想電源線と第2の基準電圧線との間に接続され、前記第1のトランジスタよりもしきい値電圧が高い第2のトランジスタと、前記第1の基準電圧線と前記ゲート回路の出力端子との間に接続され、前記第1のトランジスタよりもしきい値電圧が高い第3のトランジスタと、を備え、前記第2および第3のトランジスタは、一方がオンするときは他方がオフし、他方がオンするときは一方がオフするようにオン・オフ制御される。

【0017】請求項4の発明では、しきい値電圧が低いトランジスタで構成されたゲート回路と第2の基準電圧線との間に第2のトランジスタを接続し、かつ、ゲート回路が非動作の間にゲート回路の出力論理が不定にならないように第3のトランジスタを設けたため、中間電位が後段のゲート回路に伝搬するおそれがなく、後段のゲート回路に貫通電流が流れるおそれもなくなる。

【0018】請求項5の発明は、複数の第1のトランジスタで構成され、第1および第2の仮想電源線に接続されたゲート回路と、第1の基準電圧線と前記第1の仮想電源線との間に接続され、前記第1のトランジスタよりもしきい値電圧が高い第2のトランジスタと、第2の基準電圧線と前記第2の仮想電源線との間に接続され、前記第1のトランジスタよりもしきい値電圧が高い第3のトランジスタと、前記ゲート回路の出力論理を保持可能な記憶回路と、を備え、前記記憶回路が前記ゲート回路

5

の出力論理を保持している間は前記第2および第3のトランジスタはオフ制御され、前記記憶回路が前記ゲート回路の出力論理を保持していない間は前記第2および第3のトランジスタはオン制御される。

【0019】請求項5の発明では、ゲート回路がスタンバイ時には、スタンバイ直前のゲート回路の出力論理を記憶回路に保持するようにしたため、後段のゲート回路に貫通電流が流れなくなる。また、スタンバイ時からアクティブ時に移行する際、中間電位が伝搬しなくなり、再起動時間が短くなるとともに、再起動による消費電流も少なくなる。

【0020】請求項6の発明は、複数の第1のトランジスタで構成され、第1および第2の仮想電圧線に接続されたゲート回路と、第1の基準電圧線と前記第1の仮想電圧線との間に接続され、前記第1のトランジスタよりもしきい値電圧が高い第2のトランジスタと、第2の基準電圧線と前記第2の仮想電圧線との間に接続され、前記第1のトランジスタよりもしきい値電圧が高い第3のトランジスタと、前記ゲート回路に並列接続され、前記第1のトランジスタよりもしきい値電圧が高い複数の第4のトランジスタを用いて前記ゲート回路と略等しく構成されたバイパス回路と、を備え、前記バイパス回路は、前記第1および第2の基準電圧線間に接続される。

【0021】請求項6の発明では、ゲート回路と同じ回路構成のバイパス回路をゲート回路に並列接続し、バイパス回路を常にアクティブな状態にしておくため、ゲート回路がスタンバイ状態になっても、ゲート回路の出力論理が不定にならなくなり、後段のゲート回路に貫通電流が流れなくなる。

【0022】請求項8の発明では、フリップフロップを構成する回路のうち、信号伝送速度に影響のない第1および第2の記憶回路はしきい値電圧の高いトランジスタを用いて構成し、それ以外はしきい値電圧の低いトランジスタで構成するため、高速化と低消費電力化が図れる。

【0023】

【発明の実施の形態】以下、本発明に係る半導体集積回路について、図面を参照しながら具体的に説明する。

【0024】(第1の実施形態)第1の実施形態は、半導体集積回路内の大半のゲート回路をしきい値電圧の高いトランジスタで構成し、一部のゲート回路のみをしきい値電圧の高いトランジスタと低いトランジスタを組み合わせる構成としたSMT(Selective MT)-CMOS回路方式を採用して、信号伝送速度の高速化と消費電力の低減を図るものである。以下では、しきい値電圧の高いトランジスタと低いトランジスタを組み合わせる構成されるゲート回路をMTゲートセルと呼ぶ。

【0025】図1は本発明に係る半導体集積回路の第1の実施形態の回路図である。図1の回路は、クリティカルパス上のゲート回路1のみを、しきい値電圧の低いト

6

ランジスタとしきい値電圧の高いトランジスタとを組み合わせる構成し、それ以外のゲート回路1は、しきい値電圧の高いトランジスタで構成している。

【0026】図1では、クリティカルパス上のゲート回路1を斜線で示している。この斜線で図示したゲート回路1は、しきい値電圧の高いトランジスタ(第2のトランジスタ)としきい値電圧の低いトランジスタ(第1のトランジスタ)とからなるMTゲートセルで構成されている。このMTゲートセルは、図8と同様の回路構成でもよいし、あるいは、後述するような回路構成でもよい。

【0027】また、図1の回路には、MTゲートセルに電源電圧を供給するかどうかを切り替える制御回路2が設けられている。図1の制御回路2は、ゲート回路1を構成するMTゲートセル内の電源供給切替用のトランジスタのオン・オフを制御する。

【0028】一方、図2は図1の回路に対応する従来の回路図である。図1および図2からわかるように、図1の回路は、クリティカルパス上のゲート回路1をMTゲートセルに置き換えた点と、MTゲートセルに電源供給を行うかどうかを切り替える制御回路2を設けた点で、図2の回路と異なっている。

【0029】図1の回路の場合、クリティカルパス上のゲート回路1をMTゲートセルで構成しているため、クリティカルパス上の信号伝送速度を高速化することができる。一方、それ以外の回路は、しきい値電圧の高いトランジスタで構成しているため、アクティブ時のリーク電流を抑制することができる。

【0030】図3は図1のゲート回路1を構成するMTゲートセルの第1の具体例を示す回路図である。図3の回路は、しきい値電圧の低いトランジスタで構成されたNAND回路(ゲート回路)3と、NAND回路3に電源電圧を供給するかどうかを切り替えるトランジスタ(第2のトランジスタ)Q1とを備えており、このトランジスタQ1は、しきい値電圧の高いPMOSトランジスタである。

【0031】図3の回路の場合、トランジスタQ1がオンすると、NAND回路3に電源電圧が供給され、このNAND回路3は高速に動作する。一方、トランジスタQ1がオフすると、NAND回路3のリーク・パスが遮断され、リーク電流を低減できる。

【0032】図3の回路は、NAND回路3が接地線VSSに直接接続されているため、NAND回路3がスタンバイ状態のときにはトランジスタQ1をオフすることで、リーク・パスを確実に遮断できる。これにより、スタンバイ状態時の消費電力の低減が図れる。

【0033】一方、図4はMTゲートセルの第2の具体例を示す回路図である。図4の回路は、電源線VDDと仮想接地線VSS1との間に接続されたNAND回路(ゲート回路)3と、仮想接地線VSS1と接地線VSSとの間に接続されたトランジスタ(第2のトランジスタ)Q2と、NAND回路3の出力端子と電源線VDDとの間に接続されたト

7

ランジスタ（第3のランジスタ）Q3とを備えている。

【0034】NAND回路3はしきい値電圧の低いランジスタで構成され、ランジスタQ2、Q3はしきい値電圧の高いランジスタである。

【0035】図4の回路の場合、ランジスタQ2、Q3は、一方がオンすると他方はオフし、他方がオンすると一方はオフする。ランジスタQ2がオンすると、NAND回路3に電源電圧が供給されてNAND回路3は高速動作する。このとき、ランジスタQ3はオフしているため、NAND回路3の出力が出力端子から出力される。一方、ランジスタQ2がオフすると、NAND回路3のリーク・パスが遮断されてNAND回路3はスタンバイ状態になる。このとき、ランジスタQ3はオンし、出力端子はハイレベルにプルアップされる。

【0036】図4の回路の場合、NAND回路3の出力端子にランジスタQ3を接続して、スタンバイ時にNAND回路3の出力論理が不定にならないようにしている。これにより、後段のゲート回路1（不図示）に中間電位が伝搬するおそれなくなり、後段のゲート回路1に貫通電流が流れなくなる。

【0037】一方、図5はMTゲートセルの第3の具体例を示す回路図である。図5の回路は、仮想電源線VDD1と仮想接地線VSS1との間に接続されたNAND回路（ゲート回路）3と、仮想電源線VDD1と電源線VDDとの間に接続されたランジスタ（第2のランジスタ）Q1と、仮想接地線VSS1と接地線VSSとの間に接続されたランジスタ（第3のランジスタ）Q2と、NAND回路3の出力端子に接続されたデータ保持回路（記憶回路）4とを備えている。

【0038】NAND回路3はしきい値電圧の低いランジスタで構成され、ランジスタQ1、Q2はしきい値電圧の高いランジスタである。

【0039】データ保持回路4は、NAND回路3の出力端子に接続されたインバータ5と、インバータ5の出力端子とNAND回路3の出力端子との間に接続されたクロックドインバータ6とを有する。クロックドインバータ6は、ランジスタQ1、Q2がオンのときのアクティブ時は、データの保持動作を行わず、ランジスタQ1、Q2がオフのときのスタンバイ時は、NAND回路3の出力論理を保持する。

【0040】図5の回路は、スタンバイ時にはデータ保持回路4でデータを保持するため、図4と同様に後段のゲート回路1に貫通電流が流れない。また、再起動時に信号が伝搬しないため、再起動時間が短く、再起動による消費電流も少ない。

【0041】一方、図6はMTゲートセルの第4の具体例を示す回路図である。図6の回路は、データ保持回路の代わりに、バイパス回路7を有する点以外は、図5と同様に構成されている。

8

【0042】図6のバイパス回路7は、NAND回路3と同じ回路構成を有し、電源線VDDと接地線VSSとの間に接続され、かつ、NAND回路3に並列に接続されている。ただし、NAND回路3はしきい値電圧の低いランジスタで構成されているのに対し、バイパス回路7はしきい値電圧の高いランジスタで構成されている。

【0043】NAND回路3はランジスタQ1、Q2がオンのときのみアクティブになるのに対し、バイパス回路7は常にアクティブである。

【0044】ランジスタQ1、Q2がオンのときは、NAND回路3とバイパス回路7はいずれも同じ論理の信号を出力する。一方、ランジスタQ1、Q2がオフのときは、NAND回路3は動作しないが、バイパス回路7は継続して動作するため、図6の回路の出力論理が不定になることはない。したがって、後段のゲート回路1に中間電位が伝搬するおそれなくなり、後段のゲート回路1に貫通電流が流れなくなる。

【0045】このように、第1の実施形態では、半導体集積回路内の一部のゲート回路1（例えば、クリティカルパス上のゲート回路1）のみ、MTゲートセルで構成し、他のゲート回路1はしきい値電圧の高いランジスタで構成するため、一部のゲート回路1を高速動作させることができ、かつ、全体的なリーク電流を抑制でき、消費電力の低減が図れる。

【0046】図3～図6では、MTゲートセル内にNAND回路3を設ける例を説明したが、NAND回路3以外の他のゲート回路1を設けてもよい。

【0047】（第2の実施形態）第2の実施形態は、フリップフロップ内の一部のゲート回路1のみをMTゲートセルで構成するものである。

【0048】図7は本発明に係る半導体集積回路の第2の実施形態の回路図である。図7の半導体集積回路は、Dフリップフロップであり、このDフリップフロップは、MTゲートセルからなるクロックドインバータ（第1および第2の導通遮断回路）11、12およびインバータ13～15と、しきい値の高いランジスタからなる記憶回路（第1および第2の記憶回路）16、17とで構成される。記憶回路16、17は、図5のデータ保持回路4と同様に、インバータとクロックドインバータとで構成されている。

【0049】フリップフロップ内の記憶回路16、17は、前段のクロックドインバータの出力論理を保持するためのものであり、フリップフロップの動作速度にはあまり影響しない。このため、本実施形態では、しきい値の高いランジスタで記憶回路を構成して、リーク電流の低減を図っている。

【0050】一方、フリップフロップ内のクロックドインバータ11、12およびインバータ13～15は、図3～図6と同様にMTゲートセルで構成されている。これらクロックドインバータ11、12およびインバータ1

9

3～15は、信号を伝送する作用を行うため、MTゲートセルで構成することにより、フリップフロップの動作速度を向上できる。

【0051】このように、第2の実施形態は、フリップフロップを構成する複数の回路のうち、動作速度に影響のあるクロックドインバータ11、12およびインバータ13～15のみMTゲートセルで構成し、その他の回路はしきい値電圧の高いトランジスタで構成するため、フリップフロップの動作速度を向上させつつ、リーク電流を低減できる。

【0052】なお、図7ではDフリップフロップを構成する例について説明したが、本発明は、Dフリップフロップ以外の各種のフリップフロップに同様に適用可能である。

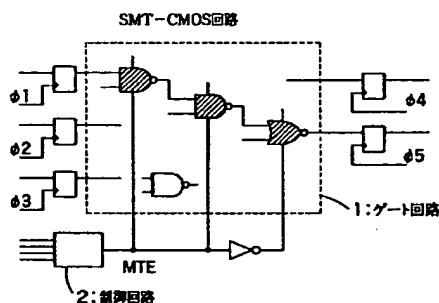
【0053】また、図7の記憶回路16、17の回路構成も特に限定されない。

【0054】

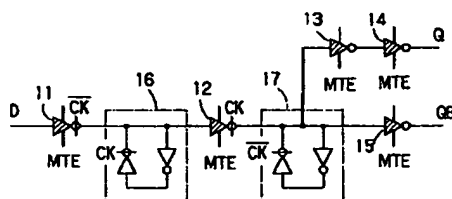
【発明の効果】以上詳細に説明したように、本発明によれば、半導体集積回路内の一部のゲート回路のみ、しきい値電圧が低いトランジスタを用いて構成するため、例えばタイミング的に厳しい部分のみ、しきい値電圧が低いトランジスタを用いて高速化を図り、その他の部分はリーク電流の少ないしきい値電圧の高いトランジスタを用いて構成できる。この結果、高速化と低消費電力化の双方が図れる。

【0055】また、従来のMT-CMOS回路は、半導体集積回路内のすべてのゲート回路をしきい値電圧が高いトランジスタと低いトランジスタで構成していたのに対し、

【図1】



【図7】



10

本願発明は、一部のゲート回路（例えば、クリティカルパス上のゲート回路）のみ、しきい値電圧が高いトランジスタと低いトランジスタで構成するため、従来のMT-CMOS回路に比べて回路の素子形成面積を削減でき、高集積化が可能になる。

【図面の簡単な説明】

【図1】本発明に係る半導体集積回路の第1の実施形態の回路図。

【図2】図1の回路に対応する従来の回路図。

【図3】図1のゲート回路1を構成するMTゲートセルの第1の具体例を示す回路図。

【図4】MTゲートセルの第2の具体例を示す回路図。

【図5】MTゲートセルの第3の具体例を示す回路図。

【図6】MTゲートセルの第4の具体例を示す回路図。

【図7】本発明に係る半導体集積回路の第2の実施形態の回路図。

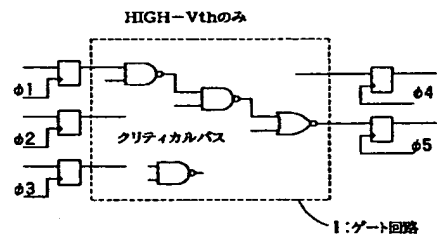
【図8】MT-CMOSの従来の回路図。

【図9】論理回路中の一部のセルのみをしきい値電圧の低いトランジスタに置換した従来の回路図。

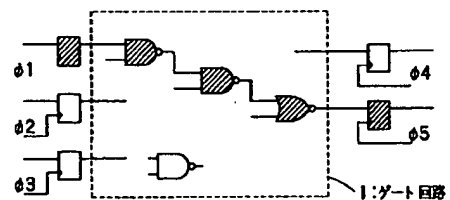
【符号の説明】

- 1 ゲート回路
- 2 制御回路
- 3 NAND回路
- 4 データ保持回路
- 7 バイパス回路
- 11, 12 クロックドインバータ
- 16, 17 記憶回路

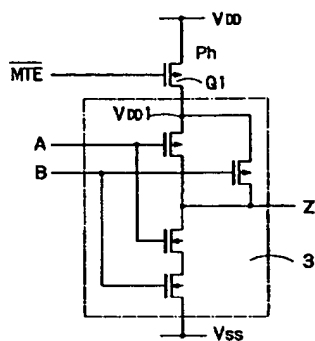
【図2】



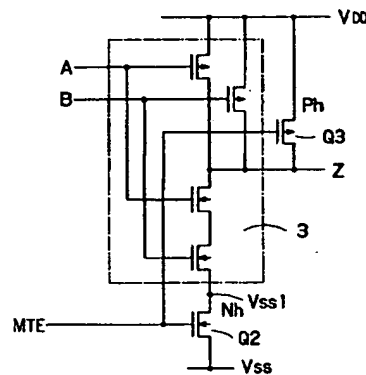
【図9】



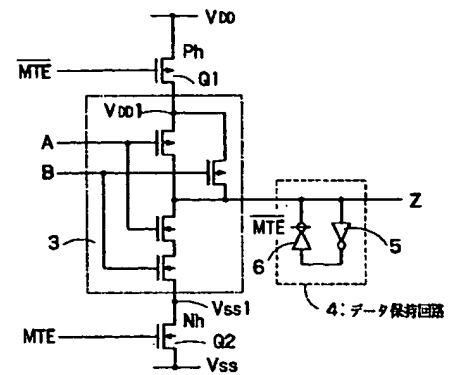
【図3】



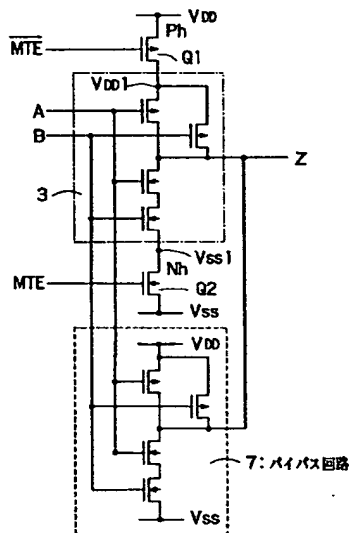
【図4】



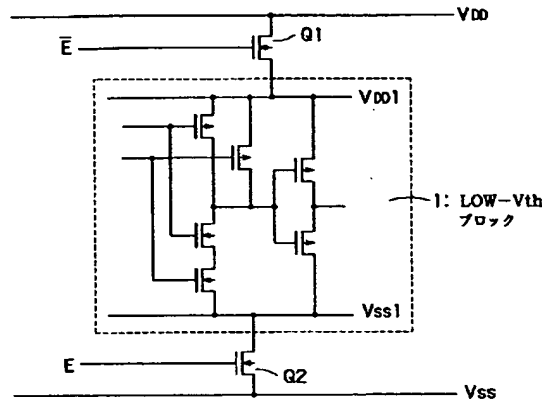
【図5】



【図6】



【図8】



フロントページの続き

(72) 発明者 小 泉 正 幸

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(72) 発明者 伊 東 由 紀 子

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(72) 発明者 宇佐美 公 良

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(72) 発明者 河 邊 直 之

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(72) 発明者 金 沢 正 博

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(72) 発明者 古 澤 敏 行

神奈川県川崎市川崎区駅前本町25番地1 東芝マイクロエレクトロニクス株式会社内

Fターム(参考) 5F038 AV06 CA20 CD15 DF01 DF07
DF08 EZ20
5J042 BA03 CA08 CA15 CA24 DA01
DA02
5J056 AA03 BB49 BB57 DD13 DD29
DD43 FF01 HH04